

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 8 日  
Date of Application:

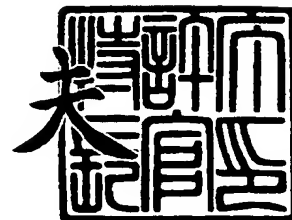
出 願 番 号                      特 願 2 0 0 2 - 3 4 6 5 8 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 4 6 5 8 3 ]

出 願 人                      京セラ株式会社  
Applicant(s):

2 0 0 3 年    9 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 27981

【あて先】 特許庁長官殿

【国際特許分類】 H01G 7/06

【発明者】

【住所又は居所】 京都府相楽郡精華町光台 3 丁目 5 番地 3 号 京セラ株式会社中央研究所内

【氏名】 栗岡 秀治

【発明者】

【住所又は居所】 京都府相楽郡精華町光台 3 丁目 5 番地 3 号 京セラ株式会社中央研究所内

【氏名】 見島 常雄

【特許出願人】

【識別番号】 000006633

【住所又は居所】 京都府京都市伏見区竹田鳥羽殿町 6 番地

【氏名又は名称】 京セラ株式会社

【代表者】 西口 泰夫

【手数料の表示】

【予納台帳番号】 005337

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量可変薄膜コンデンサ及び高周波部品

【特許請求の範囲】

【請求項 1】 支持基板上に、印加電圧により容量が変化し、且つ直列接続してなる第 1 乃至第 3 の可変容量素子を形成するとともに、前記第 1 の可変容量素子の入力端子側端部と第 2 の可変容量素子ー第 3 の可変容量素子の接続点との間に第 1 のバイアスラインを、前記第 1 の可変容量素子ー第 2 の可変容量素子の接続点と第 3 の可変容量素子の出力端子側端部との間に第 2 のバイアスラインを設けて成る容量可変薄膜コンデンサであって、

前記第 1 のバイアスライン及び第 2 のバイアスラインは前記支持基板上に直接形成されていることを特徴とする容量可変薄膜コンデンサ。

【請求項 2】 前記第 1 及び第 2 のバイアスラインは、薄膜抵抗から成ることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 3】 前記第 1 及び第 2 のバイアスラインは、導体ラインと薄膜抵抗とから成ることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 4】 前記薄膜抵抗は、窒化タンタルからなることを特徴とする請求項 2 乃至 3 に記載の容量可変薄膜コンデンサ。

【請求項 5】 前記薄膜抵抗はNi-Cr合金あるいはFe-Cr-Al合金などの高抵抗合金薄膜からなることを特徴とする請求項 2 乃至 3 に記載の容量可変薄膜コンデンサ。

【請求項 6】 前記薄膜抵抗は、Au、Ptなどの貴金属薄膜からなることを特徴とする請求項 2 乃至 3 に記載の容量可変薄膜コンデンサ。

【請求項 7】 前記薄膜抵抗は、Ni、Fe等の強磁性体薄膜からなることを特徴とする請求項 2 乃至 3 に記載の容量可変薄膜コンデンサ。

【請求項 8】 前記薄膜抵抗は、酸化物導電体、窒化物導電体または半導体からなることを特徴とする請求項 2 乃至 3 に記載の容量可変薄膜コンデンサ。

【請求項 9】 前記容量素子は、下部電極層、薄膜誘電体層、上部電極層を順次被着してなることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 10】 前記薄膜誘電体層が  $(\text{Ba}_x, \text{Sr}_{1-x})_y \text{Ti}_{1-y} \text{O}_{3-z}$  からなることを特

徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 1 1】支持基板には、第 1 の可変容量素子の入力端子側端部に接続する入力端子と、第 3 の可変容量素子の出力端子側端部に接続する出力端子が形成されていることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 1 2】入力端子は、高周波信号の信号入力端子と直流バイアス供給端子とが共用されていることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 1 3】請求項 1 に記載の容量可変薄膜コンデンサは、共振回路の一部及び／又は複数の共振回路を接合する容量素子として用いられることを特徴とする高周波部品。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、直流バイアス電圧の印加により容量を大きく変化できるが、高周波信号による容量の変化、ノイズ、非線形歪は小さく抑えることができる容量可変コンデンサ回路に関するものである。また、本発明は、誘電体層を薄膜技法により形成した薄膜コンデンサに関するものであり、特に直流バイアス電圧の印加により容量を大きく変化できるが、高周波信号による容量の変化、ノイズ、非線形歪は小さく抑えることができる容量可変薄膜コンデンサに関するものであり、さらに、耐電力に優れた容量可変薄膜コンデンサを用いた高周波用電圧制御型共振器、電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型アンテナ共用器などの高周波部品に関するものである。

【0 0 0 2】

【従来技術】

従来、薄膜コンデンサは、上下電極層および誘電体層が薄膜で形成された薄膜コンデンサがある。これは通常、電気絶縁性の支持基板上に薄膜状の下部電極層、誘電体層、上部電極層がこの順に積層している。このような薄膜コンデンサでは下部電極層、上部電極層が夫々スパッタ、真空蒸着などで形成されており、誘電体層もスパッタ、ゾルゲル法等で形成されている。このような薄膜コンデンサ

の製造では、通常、以下のようにフォトリソグラフィの手法が用いられる。まず、絶縁性支持基板上の全面に下部電極層となる導体層を形成した後、必要部のみをレジストで覆い、その後、ウエットエッチング又は、ドライエッチングで不要部を除去して、所定形状の下部電極層を形成する。次に、支持基板上に薄膜誘電体層となる誘電体層を全面に形成し、下部電極層同様に、不要部を除去して所定形状の薄膜誘電体層を形成する。最後に上部電極層となる導体層を全面に形成し、不要部を除去して所定形状の上部電極層を形成する。また、保護層やハンダ端子部を形成することにより、表面実装が可能になる。また、薄膜誘電体層の材料として、 $(\text{Ba}_x\text{Sr}_{1-x})_y\text{Ti}_{1-y}\text{O}_{3-z}$ から成る誘電体材料を用いて、上部電極層と下部電極層との間に所定電位を与えて、誘電体層の誘電率を変化させて、容量を変化させる容量可変薄膜コンデンサも同様な構造である。直流バイアスの印加により容量を変化させる容量可変薄膜コンデンサとしては、例えば特許文献1（特開平11-260667号）に開示されている。

#### 【0003】

容量可変薄膜コンデンサでは直流バイアスを印加することで誘電率が変化し、その結果として容量が変化する。容量の変化は高周波領域にも及び、高周波でも容量可変薄膜コンデンサとして利用可能となる。この様な高周波での容量可変薄膜コンデンサの容量変化を利用して、直流バイアスの印加により周波数特性を変化できる電子部品が得られる。例えば、上述の容量可変薄膜コンデンサと薄膜インダクタを組み合わせた電圧制御型薄膜共振器では、直流バイアスの印加により共振周波数を変化させることができる。また、容量可変薄膜コンデンサまたは電圧制御型薄膜共振器と薄膜インダクタ、薄膜キャパシタを組み合わせた電圧制御型薄膜帯域通過フィルタでは、直流バイアスの印加により通過帯域を変化させることができる。マイクロ波用の電圧制御型電子部品に関しては例えば特許文献2（特表平8-509103号）に開示されている。

#### 【特許文献1】

特開平11-260667号公報

#### 【特許文献2】

特表平8-509103号公報

## 【0004】

## 【発明が解決しようとする課題】

上述の様な容量可変薄膜コンデンサを高周波用電子部品で用いる場合、容量可変薄膜コンデンサには容量可変用の直流バイアス電圧と高周波信号の電圧（高周波電圧）が同時に印加されることになる。高周波電圧が高い場合は高周波電圧によっても容量可変薄膜コンデンサの容量が変化するようになる。この様な容量可変薄膜コンデンサを高周波用電子部品に用いると、高周波電圧によるコンデンサの容量変化のため波形歪、相互変調歪みノイズが生じるようになる。波形歪、相互変調歪みノイズを小さくするためには高周波電界強度を下げ高周波電圧による容量変化を小さくする必要がある、その為には誘電体層の厚みを厚くすることが有効であるが、誘電体層の厚みを厚くすると直流電界強度も小さくなるため容量変化率も下がってしまう問題がある。

## 【0005】

また、高周波ではコンデンサには電流が流れやすくなるため、コンデンサを高周波で使用中にはコンデンサの損失抵抗によりコンデンサが発熱し破壊してしまう。この様な耐電力の問題に対しても誘電体の厚みを厚くし、単位体積当たりの発熱量を小さくすることが有効であるが、前述のように誘電体層の厚みを厚くすると直流電界強度も小さくなるため直流バイアスによる容量変化率も下がってしまうという問題がある。

## 【0006】

また、薄膜コンデンサを作製する際には、通常、下部電極、薄膜誘電体層、上部電極の他に、保護層や半田拡散防止層など、他の機能を担う層を順次被着していく。しかし、層の数が多くなればなるほど、フォトリソグラフィでの位置ずれ、エッチングの際の下層へのダメージといった問題の他、層の数が増えることで応力が増大し、結果、膜にクラックが生じるなど、特性不良や信頼性が低下してしまうという問題点がある。

## 【0007】

本発明は上述の問題点に鑑みて案出されたものであり、その目的は、高周波信号による容量変化が小さく、かつ、直流バイアスによる容量変化は大きく、順次

被着される薄膜の層の数を少なくし、特性不良や信頼性の低下を抑制する容量可変薄膜コンデンサを提供することにある。

#### 【0008】

本発明のさらに別の目的は上述の容量可変薄膜コンデンサを用いて相互変調歪みが小さく、耐電力に優れ、温度特性の良い高周波用電圧制御型薄膜共振器、電圧制御型薄膜高周波フィルタ、電圧制御型整合回路素子および電圧制御型薄膜アンテナ共用器などの高周波部品を提供することにある。

#### 【0009】

##### 【課題を解決するための手段】

本発明は、支持基板上に、印加電圧により容量が変化し、且つ直列接続してなる第1乃至第3の可変容量素子を形成するとともに、前記第1の可変容量素子の入力端子側端部と第2の可変容量素子—第3の可変容量素子の接続点との間に第1のバイアスラインを、前記第1の可変容量素子—第2の可変容量素子の接続点と第3の可変容量素子の出力端子側端部との間に第2のバイアスラインを設けて成る容量可変薄膜コンデンサであって、

前記第1のバイアスライン及び第2のバイアスラインは前記支持基板上に直接形成されていることを特徴とする容量可変薄膜コンデンサ手ある。

#### 【0010】

また、前記第1及び第2のバイアスラインは、薄膜抵抗よりなっている。または、前記接続点と結合した薄膜抵抗、あるいは接続点に結合した導体と結合した薄膜抵抗と、前記容量素子の端子側端部と結合した導体とからなっており、前記薄膜抵抗は、窒化タンタルからなっている。

#### 【0011】

または、前記薄膜抵抗はNi—Cr合金あるいはFe—Cr—Al合金などの高抵抗合金薄膜、Au、Ptなどの貴金属薄膜、Ni、Fe等の強磁性体薄膜、酸化物導電体、窒化物導電体または半導体のいずれかからなっている。

#### 【0012】

また、前記容量素子は、下部電極層、薄膜誘電体層、上部電極層を順次被着してなり、また前記薄膜誘電体層が $(\text{Ba}_x, \text{Sr}_{1-x})_y \text{Ti}_{1-y} \text{O}_{3-z}$ からなる容量可変薄

膜コンデンサである。

【0013】

また支持基板には、第1の可変容量素子の入力端子側端部入力端子と、第3の可変容量素子の出力端子側端部に接続する出力端子が形成されており、入力端子は、高周波信号の信号入力端子と直流バイアス供給端子とが共用されている容量可変薄膜コンデンサである。

【0014】

さらに、容量可変薄膜コンデンサは、共振回路の一部及び／又は複数の共振回路を接合する容量素子として用いられることを特徴とする高周波部品である。

【作用】

本発明の容量可変薄膜コンデンサは、電圧を印加することにより容量が変化し、直列に接続された第1乃至第3の容量可変素子と容量調整に用いる直流バイアス印加用の第1及び第2バイアスラインからなることを特徴とする容量可変薄膜コンデンサである。前記第1の可変容量素子の入力端子側と第2の可変容量素子—第3の可変容量素子の接続点との間に、第1のバイアスラインを設け、且つ前記第1の可変容量素子—第2の可変容量素子の接続点と第3の可変容量素子の出力端子側との間に、第2のバイアスラインを設けている。従って、直列に接続する可変容量素子に印加される電圧がそれぞれの可変容量素子に分圧されるので、個々の可変容量素子に印加される電圧は減少する。このことから、高周波信号による容量の変化は小さく抑えることができる。また、第1のバイアスライン及び第2のバイアスラインを設けることにより、直流バイアスは個々の可変容量素子に独立に印加することができる。このことから、直流バイアスによる容量の変化は大きく保つことができる。

【0015】

さらに、前記第1のバイアスラインならびに第2のバイアスラインが支持基板上に直接設けることにより、直列接続された容量可変素子上に設けられる際に必要な絶縁膜が不要となり、素子を構成する層の数を低減し、膜のクラックなどによる特性不良、信頼性の低下を抑制することができる。

【0016】



また、バイアスラインが薄膜抵抗からなることにより、バイアスラインが高抵抗になり、バイアスラインに高周波信号が入り込むことはなく、また、直流電流は可変容量素子を流れないため、高周波的には直列接続された可変容量素子で、直流的には並列接続された可変容量素子と見ることができる。

また、容量可変薄膜コンデンサを構成する各可変容量素子どうしの接続ラインには、第1及び第2バイアスラインにより交互に直流バイアスが供給されるため、接続された全ての可変容量素子に直流バイアスが安定して供給できるため、個々の可変容量素子の容量変化率を最大限に利用できる。

#### 【0017】

また、本発明の容量可変薄膜コンデンサのバイアスラインは、前記接続点と結合した薄膜抵抗、あるいは接続点に結合した導体と結合した薄膜抵抗と、前記容量素子の端子側端部と結合した導体とからなる。薄膜抵抗の抵抗値は、導体の抵抗値に比して非常に高くできるため、バイアスラインの抵抗は薄膜抵抗の抵抗値とほぼ等しくなり、薄膜抵抗の抵抗値は、その形状を第1および第2のバイアスラインにおいて同一にすることにより等しくすることができる。従って、第1および第2のバイアスラインの抵抗値を等しくでき、容量可変薄膜コンデンサのインピーダンスなどの電気特性を均一にすることができる。

#### 【0018】

また、前記薄膜抵抗を窒化タンタルとすることにより、比抵抗が高く、経時的にも安定した薄膜抵抗が作製できるので、素子の小型化、信頼性の向上に有効である。

#### 【0019】

また前記薄膜抵抗は、Ni-Cr合金あるいはFe-Cr-Al合金などの高抵抗合金薄膜からなる。高抵抗の合金薄膜を用いることで、比較的短い抵抗線でも高抵抗が達成できる。また、前記薄膜抵抗を、Au、Ptなどの貴金属薄膜としている。金属薄膜を極めて薄い膜にした場合、完全な膜にはならず、微小な島状の金属塊からなる膜になり、膜厚の減少に伴って抵抗値が急激に増加することが知られている。この性質により、抵抗率の小さな貴金属類を用いることで、高抵抗で耐酸化性に優れた薄膜抵抗、バイアスラインを得ることができる。

## 【0020】

また、前記薄膜抵抗は、Ni、Fe等の強磁性体薄膜からなっている。強磁性体では透磁率が大きいため、表皮深さが常磁性体よりも小さくなる傾向がある。従って、機械的に安定な厚みの膜を作製しても、高周波では表皮深さが薄くなり、抵抗が高くなるため高抵抗の薄膜抵抗を作製できる。また、酸化物導電体、窒化物導伝体または半導体のいずれかとするにより、支持基板との密着性のよい薄膜抵抗を作製することができる。

## 【0021】

また、本発明の容量可変薄膜コンデンサにおいて、各可変容量素子が、支持基板上に下部電極層、薄膜誘電体層、上部電極層を順次被着してなる。これにより、各可変容量素子の容量を直流バイアスの印加により大きく変化させることができる。

## 【0022】

また前記薄膜誘電体層が  $(\text{Ba}_x, \text{Sr}_{1-x})_y \text{Ti}_{1-y} \text{O}_{3-z}$  からなる容量可変薄膜コンデンサである。これにより、可変容量素子の容量変化率が大きく損失が小さい容量可変コンデンサ素子を作製することができる。

## 【0023】

また支持基板には、入力端子と出力端子が形成されており、入力端子は、高周波信号の信号入力端子と直流バイアス供給端子とが共用されている。これにより、素子構造が簡略化される。

## 【0024】

本発明の高周波用電圧制御型共振器の一部（共振回路の一部として）、または、共振回路どうしを結合する手段として前記容量可変薄膜コンデンサを用いている。これにより、高周波的には直列接続され、直流的には並列接続された、温度特性の良い容量可変薄膜コンデンサを用いて共振器を作製することにより、波形歪、相互変調歪みノイズが小さく、耐電力に優れた高周波用電圧制御型共振器である高周波部品を実現である。また、共振回路を具備した電圧制御型高周波フィルタ、電圧制御型アンテナ共用器においても同様に、温度特性の良い容量可変薄膜コンデンサまたはその様な容量可変薄膜コンデンサを用いて作製した波形歪、

相互変調歪みノイズが小さく、耐電力、温度特性に優れた電圧制御型高周波フィルタ、アンテナ共用器を作製することができる。

#### 【0025】

##### 【発明の実施の形態】

図1、図2、図3を用いて、本発明を詳しく説明する。図1、図2、図3は本発明の容量可変薄膜コンデンサを示したものである。図1は透視状態の平面図であり、図2は図1でのA-A'における断面図、図3はB-B'における断面図である。

#### 【0026】

図1、図2、図3において、1は支持基板であり、2は下部電極層であり、3は導体ラインであり、4は薄膜誘電体層であり、5は上部電極層であり、6は薄膜抵抗であり、7は絶縁層であり、8は引き出し電極層であり、9は保護層であり、10は半田拡散防止層であり、11は半田端子部である。尚、この半田拡散防止層10及び半田端子部とで入力端子、出力端子を構成している。また図1において、C1～C3は、バイアスに容量が変化する可変容量素子を示す。

#### 【0027】

支持基板1は、アルミナなどのセラミック基板、サファイアなどの単結晶基板などである。そして、支持基板1の上に下部電極層2、薄膜誘電体層4、上部電極層5を順次、支持基板の全面に成膜する。全層成膜終了後、上部電極層5、薄膜誘電体層4、下部電極層2を順次所定の形状にエッチングする。

#### 【0028】

下部電極層2は、薄膜誘電体層4の形成に高温スパッタが必要となるため、高融点であることが必要である。具体的には、Pt、Pdなどである。さらに、下部電極層2のスパッタ終了後、薄膜誘電体層4のスパッタ温度である700～900℃へ加熱され、薄膜誘電体層4のスパッタ開始まで一定時間保持することにより、平坦な膜となる。

#### 【0029】

下部電極層2の厚みは、出力端子（半田端子11b、半田拡散防止層10）から第3の可変容量素子C3までの抵抗成分、下部電極層2の連続性を考慮した場

合厚いほうが望ましいが、支持基板 1 との密着性を考慮した場合は、相対的に薄い方が望ましく、両方を考慮して決定される。具体的には、 $0.1\mu\text{m}\sim 10\mu\text{m}$ である。 $0.1\mu\text{m}$ よりも薄くなると、電極自身の抵抗が大きくなるほか、電極の連続性が確保できなくなる可能性がある。一方、 $10\mu\text{m}$ より厚くすると、支持基板 1 との密着性が低下したり、支持基板 1 のそりを生じる恐れがある。

#### 【0030】

薄膜誘電体層 4 は、少なくとも Ba、Sr、Ti を含有するペロブスカイト型酸化物結晶粒子からなる高誘電率の誘電体層である。この薄膜誘電体層 4 は、上述の下部電極層 2 の表面に形成されている。例えば、ペロブスカイト型酸化物結晶粒子が得られる誘電体をターゲットとして、スパッタリングを所望の厚みになる時間まで行う。基板温度を高く、例えば  $800^{\circ}\text{C}$  としてスパッタリングを行うことにより、スパッタ後の熱処理を行うことなく、高誘電率で容量変化率の大きい、低損失の薄膜誘電体層が得られる。

#### 【0031】

上部電極層 5 の材料としては、電極の抵抗を下げるため、抵抗率の小さな Au が望ましいが、薄膜誘電体層 4 との密着性向上の為に、Pt などを密着層として用いることが望ましい。この上部電極層 5 の厚みは  $0.1\mu\text{m}\sim 10\mu\text{m}$  となっている。厚みの下限については、下部電極層 2 と同様に、電極自身の抵抗を考慮して設定される。厚みの上限については、密着性を考慮して設定される。

#### 【0032】

第 1 のバイアスラインは、導体ライン 3 b、3 c、薄膜抵抗 6 とから構成されており、第 1 の可変容量素子 C 1 の入力端部である入力端子（半田端子 11、半田拡散防止層 10）から第 2 の可変容量素子 C 2 と第 3 の可変容量素子 C 3 との接続点、即ち、第 2 の可変容量素子 C 2 の上部電極層 5 と第 3 の可変容量素子 C 3 の上部電極層 5 とを接続する引き出し電極 8 との間に設けられている。

#### 【0033】

第 2 のバイアスラインは、導体ライン 3 a、薄膜抵抗 6 とから構成されており、第 1 の可変容量素子 C 1 と第 2 の可変容量素子 C 2 との接続点、即ち、第 1 の可変容量素子 C 1 及び第 2 の可変容量素子 C 3 の共通的な下部電極層 2 と、第 3

の可変容量素子 C 3 の出力端部である出力端子（半田端子 1 1、半田拡散防止層 1 0）との間に設けられている。

#### 【0 0 3 4】

この導体ライン 3 a、3 b、3 c は、上述の下部電極層 2、薄膜誘電体層 4、上部電極層 5 を形成した後、新たに成膜して得ることができる。その際には、リフトオフ法を用いることが望ましい。さらには、下部電極層 2 のパターニングの際に導体ライン 3 を有する形状にパターニングを行うことによっても形成できる。

。

#### 【0 0 3 5】

この導体ライン 3 a、3 b、3 c の材料としては、バイアスラインの抵抗値のばらつきを抑制するために、低抵抗である A u が望ましいが、薄膜抵抗 6 の抵抗が十分高い場合には、P t など、下部電極層 2 と同一の材料で、同一工程で形成してもよい。

#### 【0 0 3 6】

次に、第 1 及び第 2 のバイアスラインを構成する薄膜抵抗 6 の材料は、高抵抗率、安定性の面から、窒化タンタルが好適である。窒化タンタルは、T a をターゲットとして、窒素を加えてスパッタを行う、リアクティブスパッタ法により、所望する組成比、抵抗率の膜を成膜することができる。膜厚は、シート抵抗を考慮して設定され、所望の抵抗値が得られる厚みであれば、制限はない。また、スパッタ終了後、レジストを塗布、所定の形状にした後、反応性イオンエッチング（R I E）などのドライエッチング法により、簡便にパターニングすることができる。

#### 【0 0 3 7】

尚、バイアスラインに、導体ライン 3 a、3 b、3 c を用いずに、例えば、所定形状の薄膜抵抗 6 のみで構成することもできる。その際には、材料として、窒化タンタルの他にも、N i - C r 合金などの高抵抗合金、A u、P t などの貴金属材料、N i、F e などの強磁性体材料なども、厚みを制御して用いることができる。

#### 【0 0 3 8】

これら薄膜抵抗 6 を含むバイアスラインは、支持基板 1 上に直接形成されている。これにより、素子上に形成する際に必要となる、下部電極層 2、上部電極層 4、引き出し電極層 8 との絶縁を確保するための絶縁層が不要となり、素子を構成する層の数を低減することが可能となる。さらに、高抵抗の薄膜抵抗を用いることにより、形状を大きくすることなく、素子を作製することができる。

#### 【0039】

ここで、薄膜抵抗 6 を含むバイアスラインの抵抗値について、図 4 に示すように、容量可変薄膜コンデンサの可変容量素子 C 1 ~ C 3 をそれぞれ絶縁抵抗 R<sub>p1</sub>、R<sub>p2</sub>、R<sub>p3</sub> に置き換えることによって得られる、直流に対する等価回路で説明する。バイアスラインの抵抗値は、R<sub>1</sub>、R<sub>2</sub> とする。また端子部の入力側を I、出力側を O とする。

#### 【0040】

抵抗成分 R<sub>1</sub>、R<sub>2</sub> の上限値は、直列接続した各可変容量素子 C 1 ~ C 3 にかかる電圧がバイアスラインが無い場合よりも大きくなる抵抗値を上限とする。バイアス電圧は図 4 の抵抗により分圧されるので、可変容量素子 C 1 について考えると、

$R_{p1} / (R_2 + R_{p1}) > R_{p1} / (R_{p1} + R_{p2} + R_{p3})$  が必要となり、

$R_2 < R_{p2} + R_{p3}$  となるようにする。

同様に、可変容量素子 C 2 について考えると

$R_{p2} / (R_1 + R_2 + R_{p2}) > R_{p2} / (R_{p1} + R_{p2} + R_{p3})$  が必要となり、

$R_1 + R_2 < R_{p1} + R_{p3}$  となるようにする。

同様に、可変容量素子 C 3 について考えると

$R_{p3} / (R_1 + R_{p3}) > R_{p3} / (R_{p1} + R_{p2} + R_{p3})$  が必要となり、

$R_1 < R_{p2} + R_{p3}$  となるようにする。

ここで  $R_1 = R_2 = R$ 、 $R_{p1} = R_{p2} = R_{p3} = R_p = 1 \text{ G}\Omega$  とすると

$R < R_p = 1 \text{ G}\Omega$

が得られる。各可変容量素子  $C_1 \sim C_3$  にかかるバイス電圧が  $1/10$  になる抵抗値を限界とすると、 $R < 100 M\Omega$  となる。

また、時定数の 4 倍が応答時間より小さいことを要求すると、

$T < 4 \times 2 \times RC$  より  $R < T/8C$  となり、ここで応答時間  $10 \mu s$ 、容量  $2 pF$  とすると

$$R < 10 \times 10^{-6} / 8 \times (2 \times 10^{-12}) = 625 k\Omega$$

となる。仮に、応答時間が  $ms$  程度であれば上限は  $62 M\Omega$  程度となる。

#### 【0041】

また、抵抗成分  $R_1$ 、 $R_2$  の下限については、使用高周波信号の周波数で直列の可変容量素子  $C_1 \sim C_3$  であるためには、 $R_1$  より  $C_1 + C_2$  の合成インピーダンスが小さくなる周波数が使用周波数より小さく、 $R_2$  より  $C_2 + C_3$  の合成インピーダンスが小さくなる周波数が使用周波数より小さい必要がある。

即ち、 $R_1 > (C_1 + C_2) / (\omega \times C_1 \times C_2)$

$$R_2 > (C_2 + C_3) / (\omega \times C_2 \times C_3)$$

ここで  $R_1 = R_2 = R$ 、 $C_1 = C_2 = C_3 = 2 pF$ 、使用周波数を  $2 GHz$  とすると

$$R > 2C / \omega C^2 = 2 / \omega C = 80 \Omega$$

また、使用周波数の  $1/10$  までコンデンサであるためには、 $R > 800 \Omega$  が必要となる。

#### 【0042】

以上より薄膜抵抗 6 を含むバイスラインの抵抗値は、数  $100 \Omega$  から  $100 M\Omega$  程度の範囲であればよいことになる図 1 において、導体ライン 3 の抵抗値が低い場合、バイスラインの抵抗値はほぼ薄膜抵抗 6 の抵抗値と等しくなる。すなわち、薄膜抵抗 6 の抵抗値は、数  $100 \Omega \sim 100 M\Omega$  程度の範囲であれば良い。

#### 【0043】

次に、絶縁層 7 は、この上に形成する引き出し電極層 8 と下部電極層 2 との絶縁を確保するために必要である。絶縁層 7 の材料は、樹脂や  $SiO_2$ 、 $Si_3N_4$  など、絶縁性の高いものであれば、特に制約はないが、素子の耐湿性を向上させ

るために、 $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ を用いるのが好ましい。これらは、被覆性を考慮して、化学吸着体積法（CVD）などにより、成膜することが望ましい。

#### 【0044】

絶縁層 7 は、通常のレジストを用いるドライエッチング法などにより、所望の形状にすることができる。ただし、薄膜抵抗 6 と引き出し電極層 8 との結合を確保するための導体ライン 3c の一部を露出させる必要がある。その他では、上部電極部および半田端子部のみを露出することが、耐湿性向上の観点から好ましい。

#### 【0045】

次に、引き出し電極層 8 は、上部電極層 5 と一方の端子形成部（図 1 では、11b）、または上部電極層 5 同士を連結させて、第 3 の可変容量素子 C3 を端子形成部 11b に接続すると共に、第 1 の可変容量素子 C1 と第 2 の可変容量素子 C2 を直列接続するものである。さらには、C1 と C2 にまたがる引き出し電極層 8 は、絶縁層 7 の外側で導体ライン 3c と結合している。また、材料としては、Au、Cu などの低抵抗な金属を用いることが望ましい。また、引き出し電極層 8 は、絶縁層 7 との密着性を考慮して、Ti、Ni などの密着層を使用してもよい。

#### 【0046】

次に、保護層 9 を形成する。保護層 9 は、素子を外部から機械的に保護するほか、薬品等による汚染から保護する。形成時には、端子形成部 11 を露出するようにする。材料としては、耐熱性が高く、段差に対する被覆性に優れたものが良く、具体的には、ポリイミド樹脂やBCB（ベンゾシクロブテン）樹脂などを用いる。

#### 【0047】

半田拡散防止層 10 は、半田端子形成の際のリフローや実装の際に、半田の電極への拡散を防止するために形成する。材料としては、Ni が好適である。また、半田拡散防止層 10 の表面には、半田濡れ性を向上させるために、半田濡れ性の高いAu、Cuなどを0.1  $\mu\text{m}$  程度形成する場合もある。

#### 【0048】



最後に、半田端子部 11a、11b を形成する。これは、実装を容易にするために形成する。半田ペーストを印刷後、リフローを行うことにより、形成するのが一般的である。

#### 【0049】

以上述べた容量可変薄膜コンデンサにおいて、可変容量素子 C1～C3 が高周波的には、直列接続され、しかも各可変容量素子 C1～C3 は、主として薄膜抵抗 6 で設定される抵抗値を有するバイアスラインで接続されることにより、直流的には、並列接続されている。

#### 【0050】

また、バイアスラインを支持基板上に直接形成することにより、素子を構成する層の数が低減されている。

#### 【0051】

また、上述の容量可変薄膜コンデンサは、高周波部品の共振回路の一部（LC 共振回路の容量成分）として用いられったり、また、この共振回路を結合する容量成分として用いられる。したがって、容量可変薄膜コンデンサの下部電極層、上部電極層、または引き出し電極層を利用してインダクタを同時に形成したり、支持基板 1 の余白領域（容量可変薄膜コンデンサが形成されていない領域）にその他の共振回路を形成して、容量可変薄膜コンデンサを電圧制御型高周波共振回路部品に、さらに、その共振回路の複合部品である電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型薄膜アンテナ共用器などの高周波部品にすることができる。

#### 【0052】

##### 【実施例 1】

支持基板としてサファイア R 基板上に、下部電極層 2 として Pt を、基板温度 500℃ でスパッタ法にて成膜した。薄膜誘電体層 4 として (Ba<sub>0.5</sub>Sr<sub>0.5</sub>)TiO<sub>3</sub> からなるターゲットを用い、基板温度は 800℃、成膜時間は 15 分で、同一バッチで成膜した。成膜開始前に、Pt 電極の平坦化のためのアニールとして 800℃ で 15 分間保持した。その上に上部電極層 5 として Pt および Au 電極層を同一バッチで成膜した。次に、レジストを塗布し、フォトリソグラフィ

によりレジストを所定の形状に加工した後、ECR装置により上部電極層5をエッチングした。その後、同様に薄膜誘電体層4、下部電極層2をエッチングした。下部電極層2の形状は、導体ライン3a~3cを含むものとした。

#### 【0053】

次に、薄膜抵抗6として、窒化タンタルをスパッタ法にて100℃で成膜した。スパッタ後、レジストをフォトリソグラフィにより所定の形状にした後、RIE装置を用いてエッチングを行い、レジスト層を除去した。

#### 【0054】

次に、絶縁層7として、SiO<sub>2</sub>膜をTEOSガスを原料とするCVD装置により成膜した。レジストを加工した後、RIEにより、所定の形状にエッチングを行った。

#### 【0055】

次に引き出し電極層8として、NiおよびAuをスパッタにて成膜し、所定の形状に加工した。

#### 【0056】

最後に保護層9、半田拡散防止層10、半田端子11を順次形成した。保護層9には、ポリイミド樹脂を、半田拡散防止層10にはNiを用いた。

薄膜抵抗の抵抗値を別途測定したところ、約100kΩであった。

#### 【0057】

上記で得られた容量可変薄膜コンデンサをインピーダンスアナライザにより測定した結果を図5に示す。尚、特性図中10E+01とは、10<sup>1</sup>、即ち、「10」を示し、10E+06は、10<sup>6</sup>、即ち1.0Mを示す。

図5から、1.0MHz付近でバイアスラインによる影響が見られるが、高周波領域では、影響は見られないことが確認できた。

#### 【0058】

容量の周波数依存性を図6に示す。1.0MHz付近で、バイアスラインの影響により、容量の増加が見られるが、高周波領域では約1pFであった。容量変化率は、DC3V印加時で約20%であった。

#### 【0059】

**【比較例】**

比較例として、バイアスラインがなく、他は実施例と同様の容量可変コンデンサ素子を作製した。この容量可変コンデンサ素子をインピーダンスアナライザにより測定した結果を図7に示す。バイアスラインがないため、位相は $-90^{\circ}$ でほぼ一定であった。

**【0060】**

容量の周波数依存性を図8に示す。1.0MHz付近でも容量は約1.0pFであった。また、DC3V印加時の容量変化率は6%であった。また、実施例と同様の容量変化率を得るために必要なDCバイアスは、18Vであった。

**【0061】**

以上、実施例、比較例の結果から、本発明により、直流に対しては並列接続で、高周波では直列接続された容量可変薄膜コンデンサが得られた。また、バイアスラインを支持基板上に直接形成し、さらに高抵抗の薄膜抵抗を用いることより、素子形状を大きくすることなく、層数を低減し、特性、信頼性を向上させることが可能となった。

**【0062】****【発明の効果】**

直列に接続した第1乃至第3の可変容量素子に直流バイアス印加用の第1のバイアスライン及び第2のバイアスラインを配置することにより、各可変容量素子に直流バイアス電圧を安定且つ均一に印加できる。このため、容量の変化を大きくし、且つ高周波信号による容量の変化、ノイズ、非線形歪みを小さく抑えることができる容量可変薄膜コンデンサとなる。

**【0063】**

また、バイアスラインを構成する導体ラインを支持基板上に直接形成し、また高抵抗の薄膜抵抗を用いることより、容量可変薄膜コンデンサの素子形状を大きくすることなく、層数を低減し、特性、信頼性を向上させることが可能となる。

**【0064】**

また、前記容量可変薄膜コンデンサを用いることにより、直流バイアス電圧の印加により周波数特性を大きく変化できるが、高周波信号による周波数特性の変

化、ノイズ、非線形歪みは小さく抑えることができ、波形歪、相互変調歪みノイズを小さく抑えることができ、さらに耐電力に優れた高周波用電圧制御型共振器、電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型アンテナ共用器などの高周波部品となる。

【図面の簡単な説明】

【図 1】

本発明の容量可変薄膜コンデンサの平面図である。

【図 2】

図 1 の A - A ' 線の断面図である。

【図 3】

図 1 の B - B ' 線の断面図である。

【図 4】

本発明の容量可変薄膜コンデンサの容量形成部を抵抗に置き換えた等価回路である。

【図 5】

本発明の容量可変薄膜コンデンサのインピーダンスならびに位相特性図である。

【図 6】

本発明の容量可変薄膜コンデンサの容量特性図である。

【図 7】

比較例のインピーダンスならびに位相特性図である。

【図 8】

比較例の容量特性図である。

【符号の説明】

- 1 . . . 支持基板
- 2 . . . 下部電極層
- 3 a、3 b、3 c . . . 導体ライン
- 4 . . . 薄膜誘電体層
- 5 . . . 上部電極層
- 6 . . . 薄膜抵抗

7 . . . 絶縁体層

8 . . . 引き出し電極層

9 . . . 保護層

1 0 . . . 半田拡散防止層

1 1 a、1 1 b . . . 半田端子部

C 1、C 2、C 3 可変容量素子

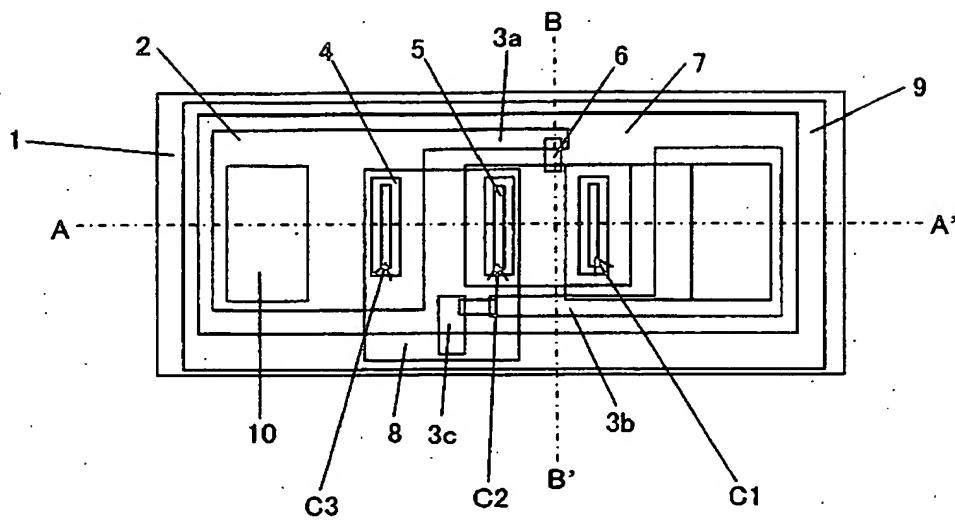
R 1、R 2 バイアスラインの抵抗

R p 1、R p 2、R p 3、可変容量素子を抵抗成分に置き換えた抵抗

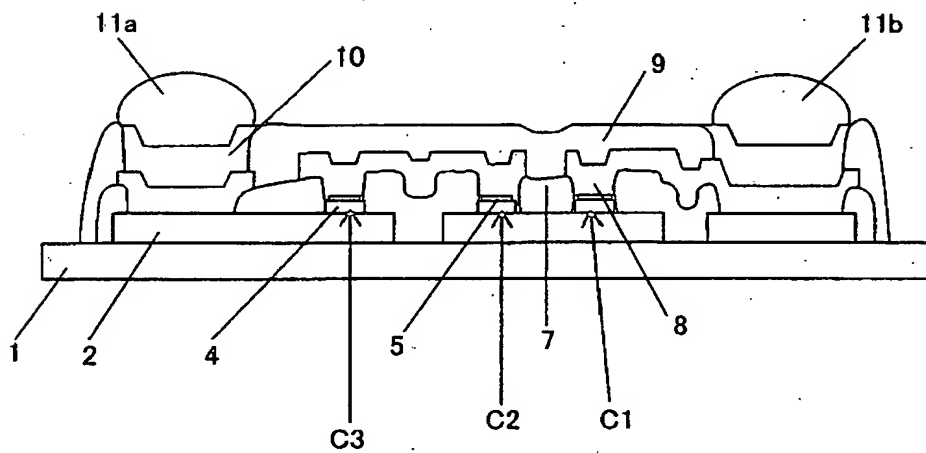
I、O 入出力端子

【書類名】 図面

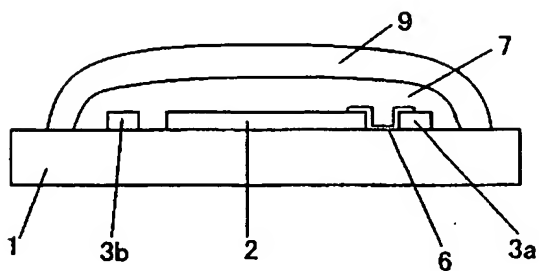
【図 1】



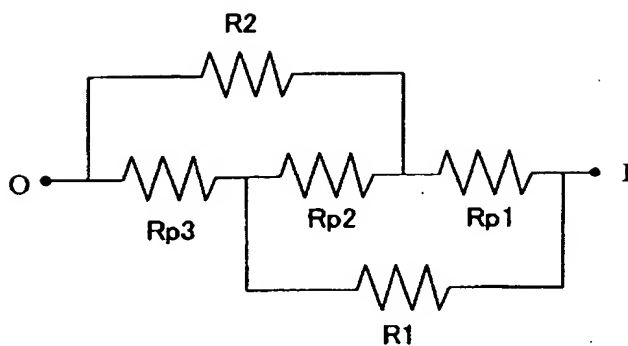
【図 2】



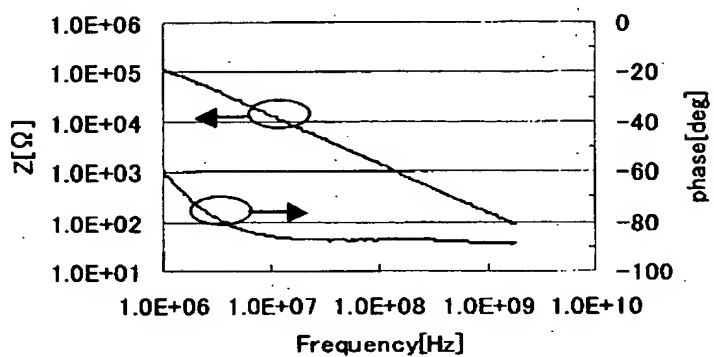
【図 3】



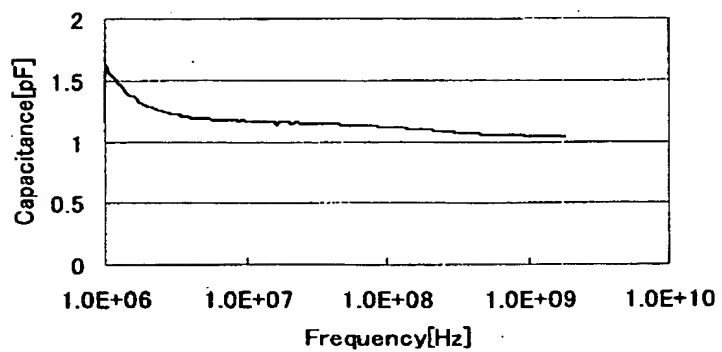
【図 4】



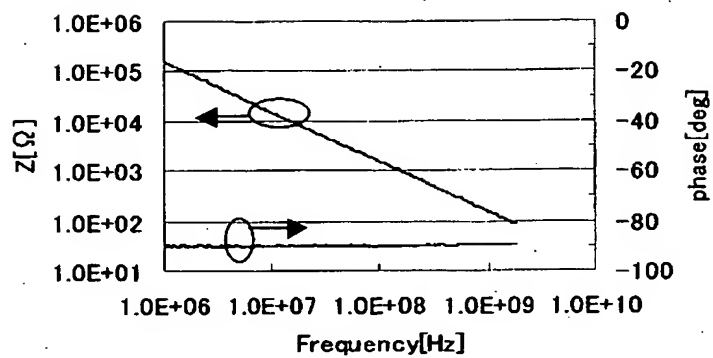
【図 5】



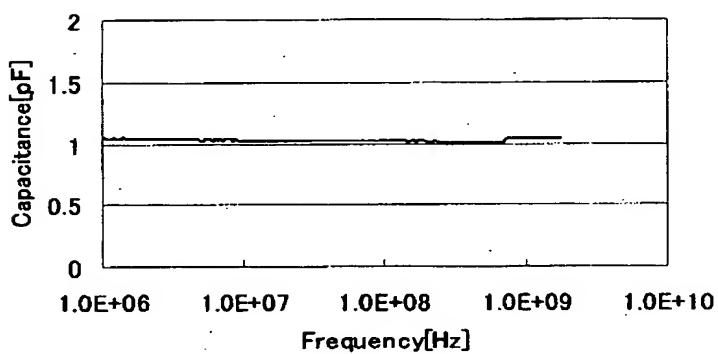
【図 6】



【図 7】



【図 8】





【書類名】 要約書

【要約】

【課題】 高周波信号による容量変化が小さく、かつ、直流バイアスによる容量変化は大きく、順次被着される薄膜の層の数を少なくし、特性不良や信頼性の低下を抑制する容量可変薄膜コンデンサ及びそれを利用した高周波部品を提供する。

【解決手段】

本発明は、支持基板 1 上に設けられた、印加電圧により容量が変化し、且つ直列接続してなる第 1 乃至第 3 の可変容量素子 C 1 ～ C 3 と、第 1 の可変容量素子 C 1 の入力端子側端部と第 2 の可変容量素子 C 2 – 第 3 の可変容量素子 C 3 の接続点との間に、第 1 のバイアスラインを設け、且つ前記第 1 の可変容量素子 C 1 – 第 2 の可変容量素子 C 2 の接続点と第 3 の可変容量素子 C 3 の出力端子側端部との間に第 2 のバイアスラインを設けた。そして、第 1 及び第 2 のバイアスライン 3 a ～ 3 c、6 を支持基板 1 に設けた。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 4 6 5 8 3
受付番号	5 0 2 0 1 8 0 5 2 4 2
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 1 1 月 2 9 日

< 認定情報・付加情報 >

【提出日】 平成14年11月28日

次頁無

特願 2 0 0 2 - 3 4 6 5 8 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 6 3 3 ]

1. 変更年月日            1 9 9 0 年    8 月 1 0 日  
    [変更理由]            新規登録  
        住 所            京都府京都市山科区東野北井ノ上町 5 番地の 2 2  
        氏 名            京セラ株式会社
  
2. 変更年月日            1 9 9 8 年    8 月 2 1 日  
    [変更理由]            住所変更  
        住 所            京都府京都市伏見区竹田鳥羽殿町 6 番地  
        氏 名            京セラ株式会社